

手持式单板 500 MHz 采样率数字化多道设计

曾国强¹ 欧阳晓平² 喻明福¹ 李 强¹ 魏世龙¹ 胡传皓¹ 杨 剑¹ 葛良全¹

1 (成都理工大学 地核技术重点实验室 成都 610059)

2 (西北核技术研究所 西安 710024)

摘要 针对 Cs₂LiYCl₆:Ce(CLYC)闪烁晶体、掺硼塑料闪烁体等中子/γ探测器的电流脉冲波形的甄别,需要高速数字化多道脉冲幅度分析器。采用直接耦合方式设计高速模拟前端电路,将高速模数转换器(Analog-to-Digital Converter, ADC)配合现场可编程逻辑门阵列(Field-Programmable Gate Array, FPGA)芯片实现数字化设计,在FPGA内部实现了高速数字滤波、脉冲幅度提取、基线扣除、谱线存储与传输等功能。通过嵌入式的PowerPC内核,实现替代外部控制器的复杂时序功能,并挂接通用串行总线(Universal Serial Bus, USB)外设芯片实现与外部计算机的高速双向数据传输。本文还设计了低噪声、大电流的开关电源,最终实现了可脱机独立运行的手持式单板高速数字多道。通过实测数字多道的模拟前端电路大信号带宽达110 MHz,小信号带宽达200 MHz,实时采样率为500 MHz,脉冲计数通过率大于 10^7 s^{-1} ,线性度达0.999 8,连接NaI(Tl)、掺硼塑料闪烁体、LaBr₃(Ce)等闪烁体探测器实测谱线合理,满足实际使用要求。

关键词 数字多道, 500 MHz 高速采样, 中子/γ甄别, 高计数率能谱, 电流脉冲信号

中图分类号 TL82

DOI: 10.11889/j.0253-3219.2017.hjs.40.030401

Design of handheld 500-MHz digital multi-channel analyzer on single board

ZENG Guoqiang¹ OUYANG Xiaoping² YU Mingfu¹ LI Qiang¹

WEI Shilong¹ HU Chuanhao¹ YANG Jian¹ GE Liangquan¹

1(Nuclear Technology Key Laboratory of Earth Science, Chengdu University of Technology, Chengdu 610059, China)

2(Northwest Institute of Nuclear Technology, Xi'an 710024, China)

Abstract Background: Rising time discrimination of current pulse signal by using Cs₂LiYCl₆:Ce(CLYC), boron plastic scintillator and other neutron gamma detector, analog multi-channel and common digital multi-channel analyzer can not meet the requirements. **Purpose:** This study aims to develop a high-speed digital multi-channel analyzer. **Methods:** In this paper, by using the direct coupling way, a special high-speed analog front end circuit is designed. The high-speed analog-to-digital converter (ADC) is connected with field-programmable gate array (FPGA) could realize digital design well, then the system will finish data filtering, pulse amplitude extraction, baseline restorer, spectrum storage, transmission function and so on in the FPGA chip. The universal serial bus (USB) peripheral hangs on the embedded PowerPC kernel, the system can not only simplify the complex timing function of the external controller, but also realize high-speed data transmission with personal computer software. In this work, low noise and high current switching power supply is also designed, finally implemented a hand-held offline independent operation of the high speed digital multi-channel single plate. **Results:** After the experimental tests, we can see that the digital multi-channel analog front end circuit designed in this paper used in NaI(Tl), boron plastic scintillator, LaBr₃(Ce) and

国家自然科学基金(No.41474159)、国家 863 计划项目(No.2012AA061803)、四川省科技厅青年基金项目(No.2015JQ0035)资助

第一作者: 曾国强, 男, 1980 年出生, 2008 年于成都理工大学获博士学位, 从事核辐射探测与核电子学

收稿日期: 2016-10-24, 修回日期: 2016-12-26

Supported by National Natural Science Foundation of China (No.41474159), National 863 Project (No.2012AA061803), Youth Foundation of Science Technology Department of Sichuan Province (No.2015JQ0035)

First author: ZENG Guoqiang, male, born in 1980, graduated from Chengdu University of Technology with a doctoral degree in 2008, focusing on nuclear radiation detection and nuclear electronics

Received date: 2016-10-24, accepted date: 2016-12-26

other scintillation detector can reach to 110 MHz of large signal bandwidth and climb to 200 MHz of small signal bandwidth. Furthermore, it also has real-time sampling rate of 500 MHz, pulse counting rate by more than 10^7 s^{-1} , and the linearity is up to 0.999 8. **Conclusion:** The ultimate measured scintillation spectrum in this paper can satisfy the actual requirement.

Key words Digital multi-channel analyzer, 500-MHz high speed sampling, Neutron gamma detector, High counting rate spectrum, Current pulse signal

在粒子物理领域, 通常需要采用高速数字化方法对探测器输出的电流脉冲信号进行实时波形分析, 从而实现粒子的甄别; 在核退役设施及高能物理实验中, 通常需要进行高通量的粒子能量的测量, 为此常规的模拟多道脉冲幅度分析器、百兆赫兹以下的数字多道脉冲幅度分析器都无法满足使用要求。电流脉冲信号通常宽度仅为几十纳秒甚至更短, 为此需要设计直接耦合方式的高速模拟前端电路, 否则电流脉冲波形会发生畸变, 严重时发生信号反

弹, 因此会影响脉冲波形甄别效果, 也就使粒子甄别效果大幅度下降。实现高计数率的数字化多道, 要求多道系统具有更高的采样率, 从而能对比较窄的脉冲信号较为准确地提取脉冲的幅度, 并保证有高的脉冲计数通过率。为此采用了如图 1 所示的硬件设计, 通过最少的必要硬件配合各种数字信号处理方法, 实现不同的测量功能和任务, 大大提高了整个系统的灵活性、适应性、抗干扰性, 获得优异的能量分辨率和数据传输速率。

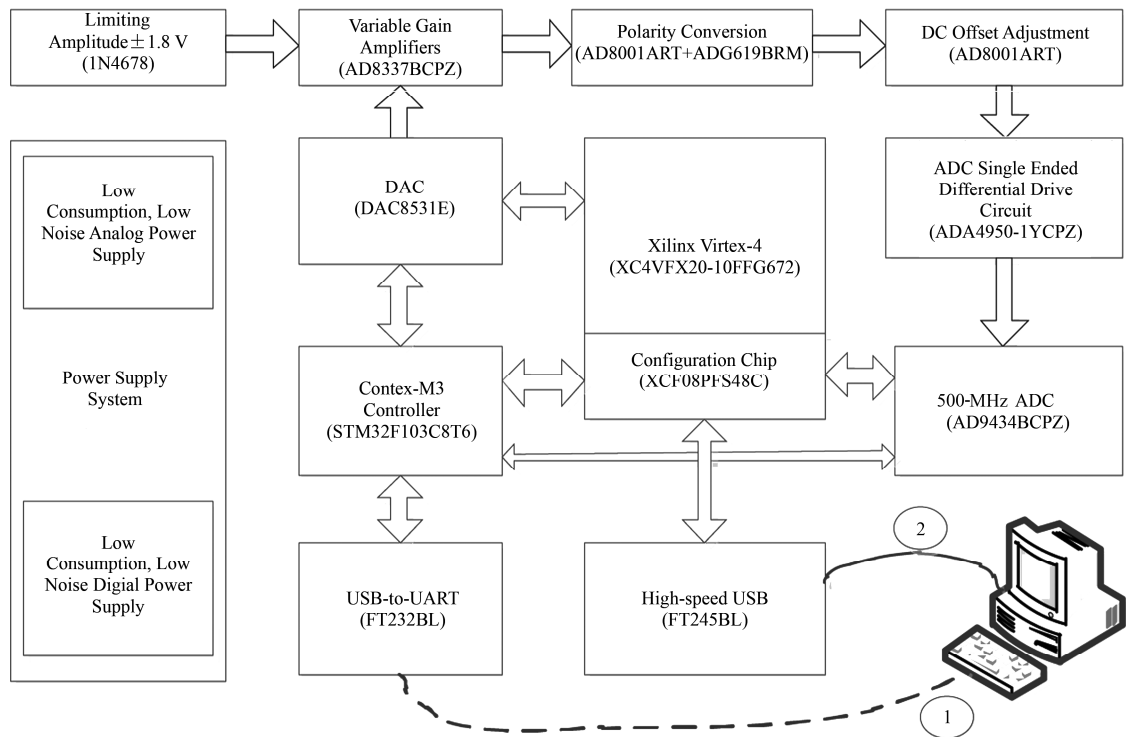


图 1 手持单板高速数字多道的硬件系统框图

Fig.1 Block diagram of hardware system of high speed digital multi-channel with single board.

1 直接耦合式高速模拟前端电路设计

在能谱仪系统中模拟前端电路通常采用直接耦合方式设计, 这样可减小因交流耦合带来的噪声增加、极零点增加、脉冲过冲、幅度亏损等问题。一般的高速模数转换都采用交流耦合方式设计, 降低了对模拟带宽的要求, 单端差分转换的设计也更加容易, 但却无法满足能谱仪系统的要求。本文设计的直接耦合电路带宽为 DC~100 MHz, 具备自动极

性转换、压控增益调节、直流漂移调节等功能。

1.1 压控增益调节

本系统采用数字模拟转换器(Digital-to-Analog Converter, DAC)+可变增益放大器(Variable Gain Amplifier, VGA)的拓扑结构, 并选择了可进行视频信号放大的 AD8337 压控增益放大器, 其小信号的 -3 dB 带宽达到 280 MHz, 大信号的带宽也达到了 100 MHz, 超低电压噪声 $2.2 \text{ nV}/\sqrt{\text{Hz}}$, 压摆率为

$490 \text{ V} \cdot \mu\text{s}^{-1}$ ，并且拥有一个理想的标称增益范围 0–24 dB，在整个增益范围内优良的带宽均匀性，低输出的参考噪声使 AD8337 拥有理想的增益微调应用，适合本系统设计需求^[1]。其电路设计如图 2 所示，压控增益放大器增益调节计算公式为：

$$G = 19.7V_G + I_c \quad (1)$$

式中： V_G 为增益调节电压，一般在 $-0.6 \sim +0.6 \text{ V}$ ； I_c 为增益直线在 Y 轴上的截距，一般为 12.65 dB，可以通过前级放大设定。为了实现增益调节，采用 16 bit 分辨率的 DAC8531 输出 $-0.6 \sim +0.6 \text{ V}$ 电压，实现 $-4.5 \sim 19.5 \text{ dB}$ 的增益调节。

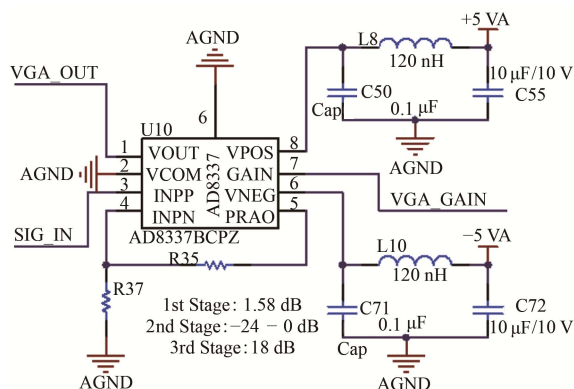


图 2 AD8337 压控增益调节电路
Fig.2 AD8337 voltage controlled gain control circuit.

1.2 极性转换与直流漂移调节

本文采用 AD8001 高速电流型运算放大器为核心构成极性转换与直流漂移调节电路。选用 AD619BRM 高速模拟开关实现对模拟信号的切换。在直接耦合方式下，如果不对核脉冲信号施加直流偏移量，则实际高速模数转换器(Analog-to-Digital Converter, ADC)的有效电压范围则会缩减一半，显然不利于能谱采集，为此需要将单极性的核脉冲信号施加接近 -1 V 的直流偏移，从而有效利用 ADC 输入电压动态范围。

2 高速 ADC 电路设计

高速 ADC 电路设计主要包括 ADC 差分驱动电路设计、低抖动时钟设计、ADC 外围电路设计。在高速 ADC 设计中，差分输入方式相比于单端输入方式具有更高的共模抑制比，且对运算放大器的压摆率要求降低一倍，更容易实现对高速模拟信号的采样。系统中前端输入的为单端信号，故选用 ADA4950 单端转差分芯片实现差分驱动，该芯片功耗低，内部自带一致性优异的增益电阻，可提高共模抑制比， -3 dB 带宽可达 750 MHz ，压摆率达 $2900 \text{ V} \cdot \mu\text{s}^{-1}$ 。单端转差分的设计难点在于匹配电阻的设计，故采用美国 Analog Devices Incorporation (ADI) 公司官网的专用软件 Diff-Amp Calculator 设计，最终设计完成的 ADC 差分驱动电路如图 3 所示。

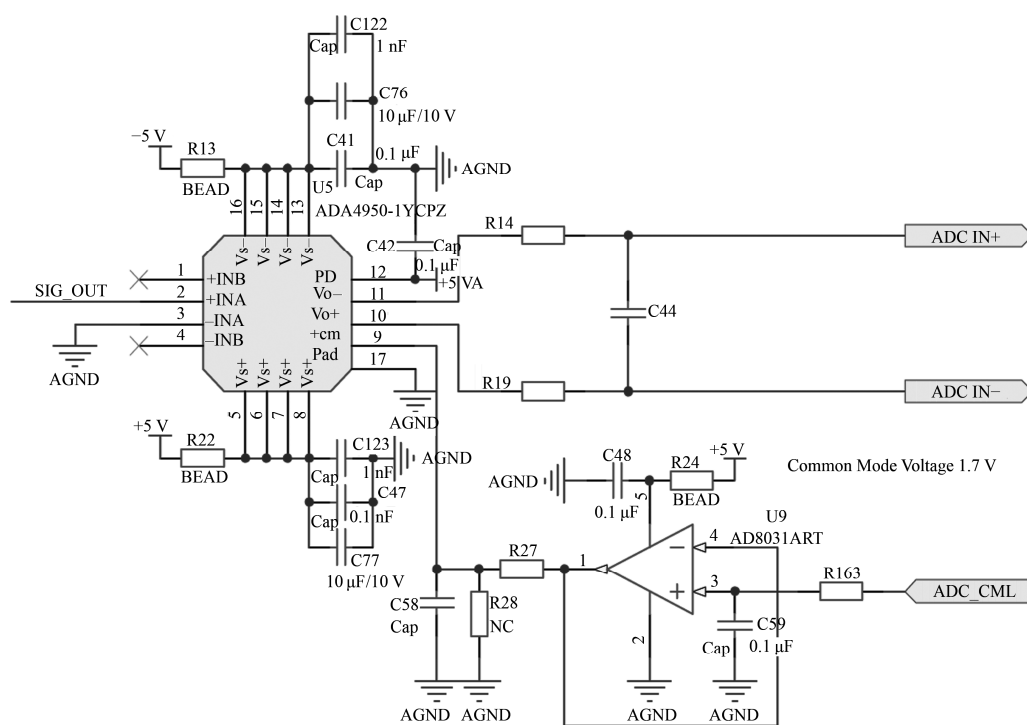


图 3 ADA4950 单端转差分驱动电路设计
Fig.3 Design of ADA4950 single ended differential drive circuit.

ADC 的选择需要综合考虑多种因素,譬如现场可编程逻辑门阵列(Field-Programmable Gate Array, FPGA)的最快时序速度、分辨率、噪声、数据接口、功耗、非线性、价格与采购等^[2-3]。为此本文选择了 ADI 公司的 AD9434-500 高速 ADC,该 ADC 具有 12 bit 分辨率,500 MHz 采样率,非线性积分(Integral Non-Linearity, INL)与非线性微分(Differential Non-Linearity, DNL)低,全带宽功耗仅为 0.68 W,采用低电压差分信号(Low-Voltage Differential Signaling, LVDS)的单倍数据速率(Single Data Rate, SDR)方式传输数据,具体的 ADC 外围电路设计限于篇幅可参考芯片的数据手册。

在高速 ADC 采样电路设计中,低抖动时钟的设计至关重要,直接影响了采样精度,甚至影响 FPGA 中的数字滤波成形的效果^[4]。本文采用美国 CRYSTEK 公司的 CVS575S-500.000 有源晶振,其输出的 500 MHz 频率信号经过 ADT1-1WT 变压器转差分后,通过交流耦合方式进入 ADC 的差分时钟端,差分端口使用 HSMS2812 双向肖特基二极管保护。为了保证时钟的低抖动,设计如下:设 ADC 为 n 位,有效时钟信号幅度为 V ,频率为 f ,则 ADC 时钟等效信号公式为:

$$V_t = V \sin(2\pi ft) \quad (2)$$

晶振最快有效斜率公式为:

$$\frac{dV}{dt} \Big|_{\max} = 2\pi fXV \quad (3)$$

最大孔径误差公式为:

$$E_A = T_A \frac{dV}{dt} \Big|_{\max} = 2\pi fXVT_A \leq 0.5\text{LSB} = \frac{2V}{2^{n+1}} \quad (4)$$

故:

$$T_A \leq \frac{X}{\pi f 2^{n+1}} \quad (5)$$

本系统采用 12 位 500 MHz 采样率 ADC,式中: X 为晶振输出幅度与 ADC 有效时钟幅度之比,因晶振输出幅度为 $3.3V_{pp}$,ADC 有效时钟幅度为 $0.2V_{pp}$,所以 $T_A \leq 2.2 \text{ ps}$ 即可, CVS575S-500.000 手册提供其抖动频率 $\leq 1 \text{ ps}$,可以满足需求。

3 FPGA 与供电电源设计

单板设计的数字化多道通常采用多供电设计,而多道中的放大器、高速 ADC、FPGA 等需要不同电压、不同功率、不同噪声要求的电源设计,为此电源设计好坏直接决定了脉冲信号幅度提取的效果^[5]。本文采用了高频开关电源与线性低压差电源相结合的方式设计,如图 4 所示。所选择的高频开关电源芯片的开关频率都大于兆赫兹,原因在于更高频率的开关噪声,经过 FPGA 内部的数字滤波后,更容易给滤除,反而低频率的开关电源芯片,其开关噪声难以通过数字滤波方法滤除^[6]。但更高转换频率会牺牲一部分的转换效率。为了进一步降低模拟电路部分供电噪声,设计了高电源抑制比(Power Supply Rejection Ratio, PSRR)的低压差线性稳压器(Low dropout regulator, LDO)串联在开关电源之后,用以消除更高频率段的噪声,减小对敏感、微弱信号放大的模拟电路的影响。

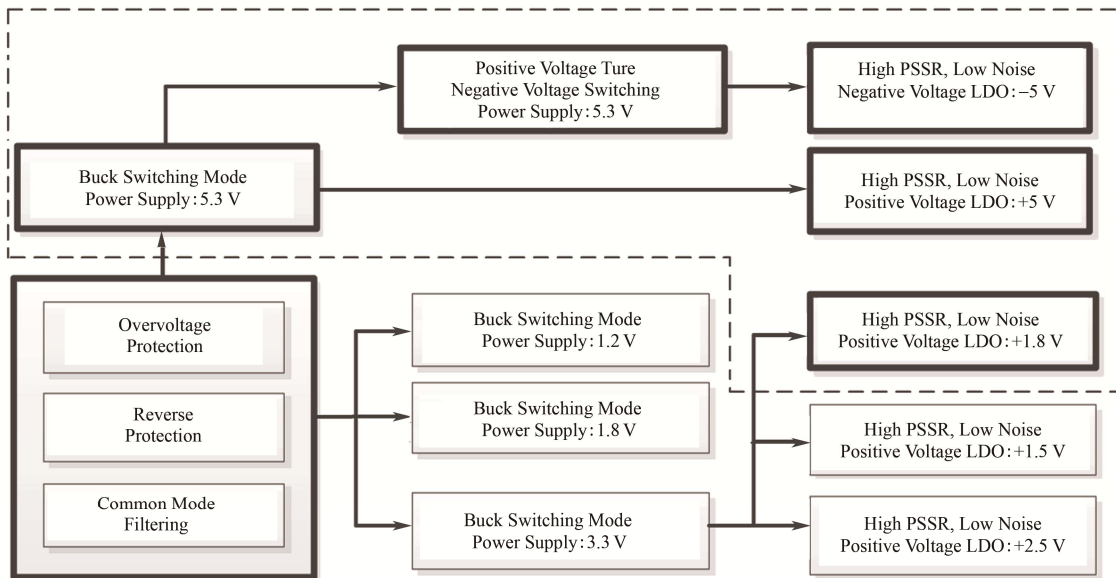


图 4 系统电源设计框图
Fig.4 Design of system power supply.

4 系统完整性设计

高速信号转换与采集系统中，系统完整性设计是保证采样信号质量的关键，包括了信号完整性与电源完整性。信号完整性需要考虑反射、振荡、地弹、串扰、阻抗匹配、印制电路板(Printed Circuit Board, PCB)走线；电源完整性需要考虑模拟地与数字地分割设计、不同电流走线分开设计、采用滤波技术减小噪声等。在 PCB 布局布线时要考虑 3W 原则、20H 原则、5-5 原则，信号线与高频线尽量走直线，布线时的过孔尽量减少，差分时钟线与信号

线应等长布线。

5 系统软件设计

系统软件设计包括板级软件与 PC 机端软件，如图 5 所示。板级软件采用 FPGA 内部自带的 PowerPC 硬核与高速数字脉冲幅度提取模块(High Digital Multi-Channel Analyzer, HDMCA)^[7]。PowerPC 硬核设计运行速度为 300 MHz，可实现高速通用串行总线(Universal Serial Bus, USB)、异步串行通信接口、数据存储发送以及与幅度提取模块之间的数据交互。

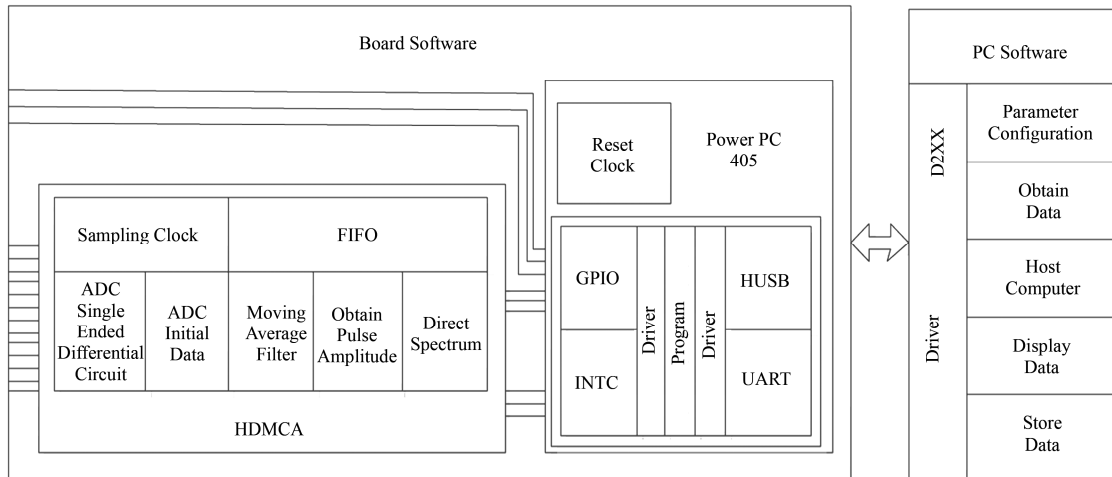


图 5 系统软件设计框图
Fig.5 Design of system software.

由于本文设计的采样速率达 500 MHz，故数字梯形成形、数字高斯成形等数字滤波算法难以如此高的频率实时运行，故采用如图 6 所示的两种直接成谱方式获取谱线^[8]。其中：方式 a 为不考虑峰堆积的情况，每次获取 P1 峰的最大值；方式 b 为考虑峰堆积的情况，提取 P1 和 P2 峰值，P1 为对应基线的峰值，P2 为对应峰谷的峰值。实际应用时当计

数率高时可选用方式 b，反之选用方式 a。方式 a 与 b 都可以自动提取基线值。本文采用信号上升沿斜率的大小作为信号触发的判断条件，在不满足触发条件时则持续采样获取基线值，当信号触发时，以触发前采样得到的数值作为基线，并加以扣除，从而实现基线扣除功能。

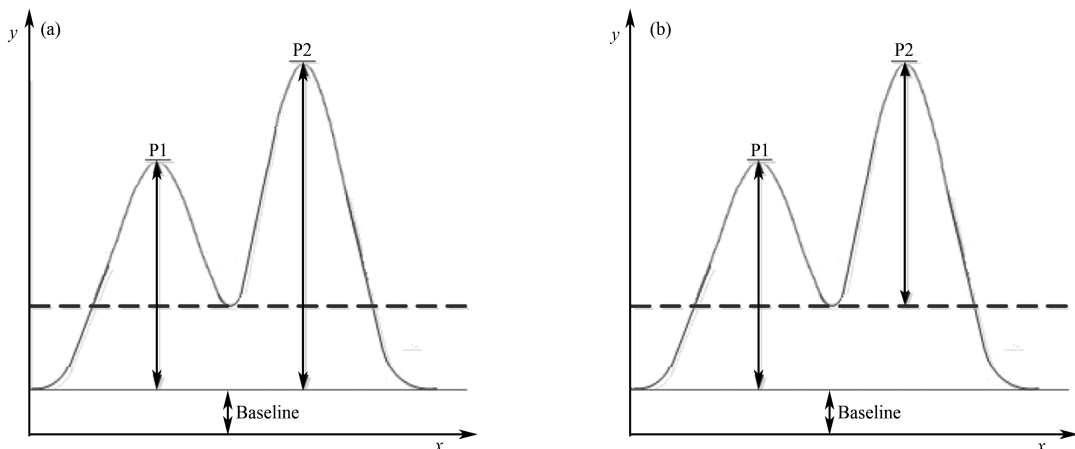


图 6 两种直接成谱方法
Fig.6 Two direct spectral methods.

6 实验数据及结论

本文设计的单板式 500 MHz 采样率的数字化多道实物图如图 7 所示。



图 7 单板 500 MHz 数字化多道实物图
Fig.7 Physical picture of single board 500-MHz digital multi-channel.

表 1 为脉冲通过率测试。由于高计数率的随机脉冲信号发生器较难获得, 本文采用通用函数信号发生器产生周期性方波信号, 经过 CR 微分后得到指数信号, 输入到多道, 测试其脉冲通过率。从表 1 可知, 当输入信号频率达到 11 MHz 时, 获取谱线的有效计数为 $1.033\,571 \times 10^7 \text{ s}^{-1}$ 。造成谱线下降的主要原因在于 PowerPC405 硬核与幅度提取模块之间的数据通信吞吐量设计瓶颈, 而触发信号计数则会出现堵塞情况。因此改进硬核的设计可以大幅度提升系统的脉冲计数通过率。图 8 为脉冲信号幅度值测量线性度的测试结果, 由图 8 可知, 线性度可高达 0.999 82, 基本符合多道的使用要求。

表 1 脉冲通过率测试
Table 1 Test of pulse pass rate.

频率 Frequency / MHz	触发信号计数 Trigger signal counts / 10^6 s^{-1}	谱线有效计数 Effective spectrum counts / 10^6 s^{-1}
2	1.999 98	1.999 98
4	4.000 04	4.000 04
6	6.000 05	6.000 05
8	8.000 09	8.000 09
10	10.000 02	9.999 83
11	11.000 04	10.335 71

采用研制的 500 MHz 采样率的直接成谱方式的数字多道分别对 NaI+光电倍增管(Photomultiplier tube, PMT)、LaBr₃+光电二极管(Avalanche Photo Diode, APD)和掺硼塑料闪烁体+PMT 三种探测器进行谱线采集。

图 9 为 NaI 闪烁探测器在 ¹³⁷Cs 源正对探测器方向照射实测得的谱线, 由于 NaI 晶体体积较大、PMT 光电转换速度快、放大倍数高、灵敏度高, 所以从图 9 可以看出, 能谱的峰均能较为清楚地分辨出: 最左边为 Ba 的特征 X 射线, 能量为 32 keV;

左二为 Pb 的特征 X 射线, 能量为 88 keV; 左三为反散射峰, 能量为 184 keV; 最右边为 ¹³⁷Cs 的全能峰能量为 662 keV, 其峰康比、峰谷比相对较好, 能量分辨率为 6.8%。显然相比于常规的基于数字梯形成形数字多道方式, 能量分辨率虽然偏差, 但其脉冲通过率则要高的多。

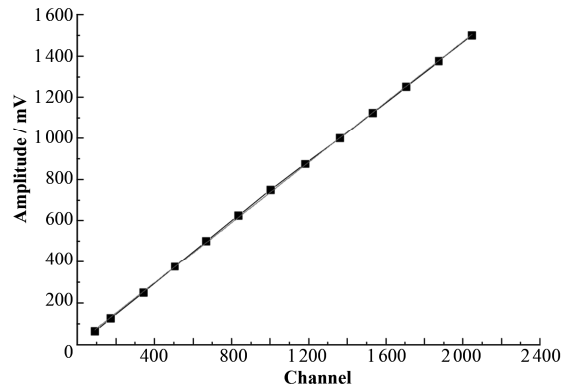


图 8 脉冲信号幅度测量线性度测试
Fig.8 Linearity test of pulse signal amplitude measurement.

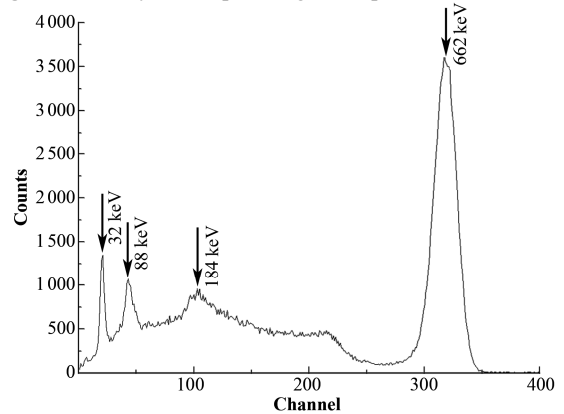


图 9 NaI+PMT 探测器的测量谱线
Fig.9 Measurement spectral line of NaI+PMT detector.

图 10 为 $\phi 15 \text{ mm} \times 15 \text{ mm}$ 的 LaBr₃ 与 $10 \text{ mm} \times 10 \text{ mm}$ 的 APD 光电转换芯片耦合成探头, 并采用 ¹³⁷Cs 源照射实测出能谱, 与 PMT 的能谱图相比其峰康比、峰谷比偏小, 其能量分辨率为 4.05%。

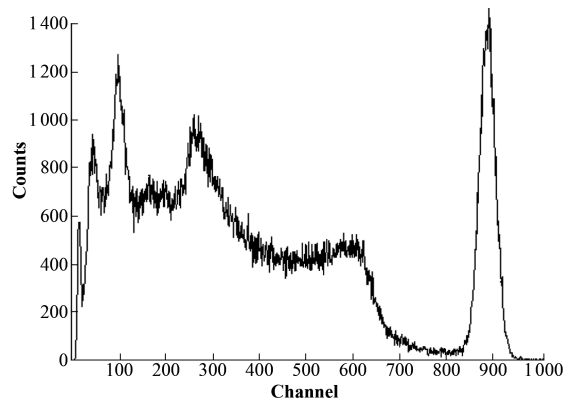


图 10 LaBr₃+APD 探测器的测量谱线
Fig.10 Measurement spectral line of LaBr₃+APD detector.

图 11(a)为掺硼塑料闪烁体配合滨松 R1704 光电倍增管实测的阳极电流脉冲信号, 脉冲宽度约为 30 ns; 图 11(b)为 ^{137}Cs 实测能谱曲线, 由于塑料闪烁体的平均原子序数小, γ 射线穿过探测器时, 光电效应截面小, 无明显光电峰, 因此谱线中主要为康普顿散射本底。

基于 500 MHz 采样率的嵌入式单板数字化脉冲

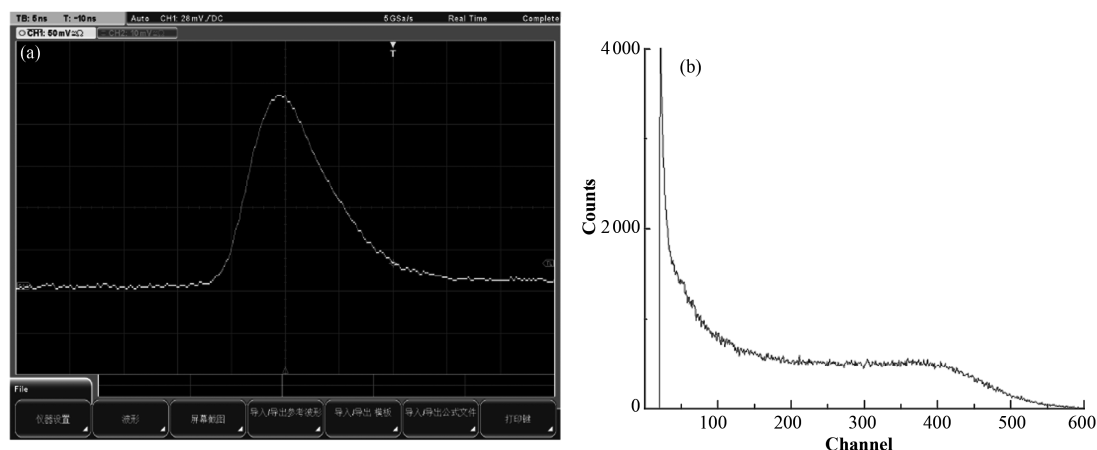


图 11 掺硼塑料闪烁体+PMT 探测器的电流脉冲信号(a)与实测能谱(b)

Fig.11 Current pulse signal (a) and measurement spectrum (b) of boron plastic scintillator+PMT detector.

参考文献

- 1 Brandenburg D. Current vs. voltage feedback amplifiers[Z]. National Application Note OA-30, 1998: 1-4.
- 2 Furuta F, Saitoh K, Yoshida A, *et al.* Characterization of sigma-delta modulator with LR-type integrator for superconducting analog-to-digital converter[J]. *Physica C*, 2007, **s463-s465**(1-2): 1092-1095.
- 3 Yang L J, Zhu X F, Liu S M. Measurement techniques for spurious free dynamic range of analog to digital converter[J]. *IERI Procedia*, 2013, **4**: 195-200.
- 4 李艳平. 高速时钟信号抖动的 ADC 测量技术研究[D]. 成都: 电子科技大学, 2009.
LI Yanping. Research on ADC measurement technology of high speed clock signal jitter[D]. Chengdu: University of Electronic Science and Technology of China, 2009.
- 5 曾国强, 葛良全, 倪师军, 等. 数字化 X 荧光仪电源的最优化设计[J]. *核电子学与探测技术*, 2012, **6**(20): 719-723.
- 6 ZENG Guoqiang, GE Liangquan, NI Shijun, *et al.* Optimized design of digital X-ray fluorimeter power supply[J]. *Nuclear Electronics and Detection Technology*, 2012, **6**(20): 719-723.
- 7 Bolic M, Drndarevic V. Digital gamma-ray spectroscopy based on FPGA technology[J]. *Nuclear Instruments & Methods in Physics Research*, 2002, **482**(3): 761-766.
- 8 熊明霞. 基于 PowerPC 的 SOPC 平台构建[D]. 北京: 中国科学院电子研究所, 2007.
XIONG Mingxia. Construction of SOPC platform based on PowerPC[D]. Beijing: Institute of Electronics, Chinese Academy of Sciences, 2007.
- 9 王敏, 方方, 曹建宇, 等. 基于 FPGA 的数字脉冲成形技术的研究[J]. *测控技术与仪器仪表*, 2013, **39**(7): 87-92.
WANG Min, FANG Fang, CAO Jianyu, *et al.* Study of digital pulse forming technology based on FPGA[J]. *Measurement Control Technology and Instruments*, 2013, **39**(7): 87-92.